

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05315207 A
(43) Date of publication of application: 26.11.1993

(51) Int. Cl H01L 21/02
G06F 15/46, G06F 15/62, G06K 19/06, H01L 21/66

(21) Application number: 04115600
(22) Date of filing: 08.05.1992

(71) Applicant: NEC CORP
(72) Inventor: KONO HIROMICHI

(54) SEMICONDUCTOR DEVICE

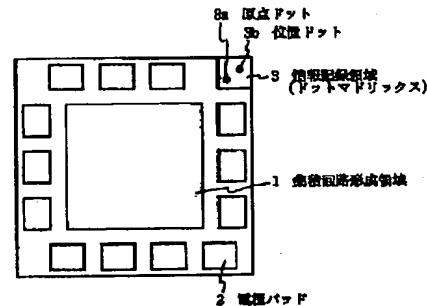
(57) Abstract:

PURPOSE: To enhance the performance of a chip-shaped semiconductor device by a combination, to analyze the distribution of defects inside the face of a wafer and to pursue the defects by a method wherein where the chip-shaped semiconductor device former on the face of the wafer is situated inside the face can be recognized by means of a simple recognition apparatus.

CONSTITUTION: At least one information recording region 3 for positional information use is formed around an integrated-circuit formation region 1 in a chip-shaped semiconductor device formed on the face of a wafer as a semiconductor substrate. A chip-position discrimination number inside the wafer is recorded in

the information recording region 3 in a dot matrix manner by using a laser irradiation method or the like. During an arbitrary process after the wafer has been divided into chips or even the chips have been completed, positional information can be read out.

COPYRIGHT: (C)1993,JPO&Japio



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315207

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/02	A			
G 06 F 15/46		7060-5L		
15/62	400	9287-5L		
G 06 K 19/06		8623-5L	G 06 K 19/00	A

審査請求 未請求 請求項の数 1 (全 4 頁) 最終頁に続く

(21)出願番号	特願平4-115600
(22)出願日	平成4年(1992)5月8日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 河野 錠通
東京都港区芝五丁目7番1号日本電気株式
会社内

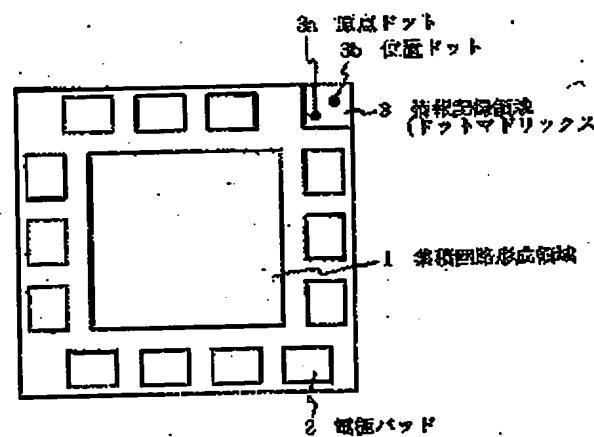
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】ウェーハ面に形成されたチップ状の半導体装置が面内のどの位置のものであるかを簡便な認識装置で認識出来るようにし、組合せによる装置性能の向上やウェーハ面内の不良分布解析と追跡を図る。

【構成】半導体基板であるウェーハ面に形成されるチップ状の半導体装置における集積回路形成領域1の周囲に少なくとも一つの位置情報記用の情報記録領域3を設け、この情報記録領域3にレーザー照射等の方法で、ウェーハ内でのチップ位置識別番号をドットマトリックスで記録する。ウェーハからチップに分割以降の任意の工程あるいは完成後でも、この位置情報を読み出すことが出来るようにしてある。



(2)

特開平5-315201

2

1

【特許請求の範囲】

【請求項1】 半導体基板であるウェーハ面上に縦構に並べて形成されるチップ状の半導体装置において、この半導体装置の集積回路形成領域の周囲にウェーハ面内に位置を示す情報を記録する領域を少くとも一つ設け、この領域に前記位置を示す情報がドットマトリックス及び二次元バーコードのいずれかで記録されていることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に半導体基板であるウェーハの面に複数箇が縦構に並べて形成される半導体装置に関する。

【0002】

【従来の技術】 一般に、この種の半導体装置は、ウェーハ面に縦構に並べて多数形成される集積回路であり、組立前にチップ状に分割されるものである。また、この半導体装置は数十枚のウェーハを一単位のロットとして製造が進められる。従って、1つのロットからは數十から数千個のチップ状の半導体装置（以下単にチップと呼ぶ）が一度に造られ、組立工程へ送られることになる。

【0003】 しかしながら従来、この数十～数千に分割分離されたチップは、どのウェーハのどの位置のものであるか識別することが出来ないので、全てのチップを均一なものとして扱いざるを得なかった。そして、この半導体装置の組立てはウェーハ面での製造段階より細かい単位、即ち数十～数百個毎に製造され、その単位毎へ組立後の半導体装置のパッケージに識別記号を捺印する程度である。このような識別信号ではウェーハロット毎の対応はとれるものの、ウェーハ1枚や、ウェーハ中のチップ位置の情報との対応づけは、チップ自身が全く同一のため不可能であった。

【0004】 一方、この種の識別方法の一つとして、例えば、特開昭5-71590に開示されているが、この方法は、製造工程の情報を書き記す手段でチップ内に記録するものである。しかし、この方法は、半導体装置の品種名、製造ロット番号、故障履歴などが記録されてゐるに留り、ウェーハ面内におけるチップ位置情報を得ることができなかつた。また、特開平1-68311に開示されている方法は、一応チップ位置を識別するコードをチップ内に記録するという方法を採用しているものの、その識別コードの形成は1次元バーコード、イオン注入法、EEPROM等及びそれらの組み合わせを用いてい

まるにつれ、このばらつきが無視できないようになつた。例えば超高速動作を要求される半導体装置では複数の集積回路間での信号の位相ズレ（スキュー）をわせることが使用上重大な課題であるが、この微妙な信号遅延の差はウェーハ面内の位置に依存することが多く、無作為な組み合わせでは十分な総合性能が出せないことがある。また、超高速LSIではその高速性試験寄生インダクタンスや寄生容量の問題のためパッケージに組立て終わった状態でないと行なえないが、その段では、チップに分割された状態であり、ウェーハ面内における位置情報は失なわれてしまつてゐる。従つてそらの依存性があつてもそれを見つけだすことができず性能改善の糸口がつかめないと、いう問題がある。

【0006】 さらに別の例としては市場で半導体装置不良が発生しても、その不良がウェーハ面内位置に依するものであるかないかも全く識別することができない。

【0007】 本発明の目的は、汎用的な簡単な識別装置でウェーハ面内の位置を確認でき、組合せによる性能上や、ウェーハ面内に生ずる不良の追跡が図れる半導体装置を提供することである。

【0008】

【課題を解決するための手段】 本発明の半導体装置は半導体基板であるウェーハ面上に縦構に並べて形成されるチップ状の半導体装置において、この半導体装置の集積回路形成領域の周囲にウェーハ面内に位置を示す情報を記録する領域を少くとも一つ設け、この領域に前記位置を示す情報がドットマトリックス及び二次元バーコードのいずれかで記録されていることを特徴としている。

【0009】

【実施例】 次に本発明について図面を参照して説明する。

【0010】 図1は本発明の半導体装置の一実施例を明するためのウェーハ面のチップを示す平面図である。この半導体装置は、図1に示すように、半導体装置の能を果すべき集積回路領域1の周囲に電極引出し用の極パッド2と、少くとも一つの位置識別用の情報記録域3を設けたことである。そして、この位置識別用の情報記録域3に公知のレーザ加工によりチップ位置情報を示す位置ドット3aと原点を示す原点ドット3bを記録することである。

【0011】 このような記録には、例えば、市販のレーザマーカーを用いれば、例えば1ドットを25μmで記

(3)

特開平5-315201

4

3
はウェーハ面内に半導体装置が完成し、電気的検査を行ったあとに良品チップのみに印字するのが経済的である。そして、この情報をチップのマウント、ボンディング完了後に読み取ることにする。

【0012】この位置情報の読み取り適応の光学頭微鏡、CCDカメラあるいは市販の画像処理装置で容易に行なうことができる。また、パッケージ表面の封止材として石英などの透明材を使用すれば、半導体装置が完全に組立完成した後でも読み取り可能である。

【0013】このようにして位置識別情報が記録された複数種類の半導体装置を、同一または近似したチップ位置のもの同士で組み合わせてシステムに搭載することにより、半導体装置相互間の位相ズレがほとんどなくなり、システムとしての性能を高く引き出すことが可能となる。

【0014】図2は本発明の半導体装置の他の実施例を説明するためのウェーハに形成される一チップを示す平面図である。この実施例の半導体装置では図2に示すように、前述の実施例で示した位置情報をドットマトリクスのかわりに二次元バーコードで記録することである。

【0015】ここで二次元バーコードとしては、米国特許4,939,354で開示されたものを使用すると、便利である。即ち、この二次元バーコードを使用すると、通常の1次元バーコードやドットマトリクスに比べさらに多くの情報を小さく収容でき、前記公知例の二次元バーコードを使えば、 10×10 個のピクセルで9桁の10進数が記録できる。

【0016】この二次元バーコードは前記実施例のようなレーザーマーカを使って印字してもよいし、フォトリ

*ソグラフィ工程で焼きつけててもよい。また、読み取りは学的に行ない、デジタル処理することにより容易に行える。

【0017】本実施例の場合は前述の実施例に比べ取できる情報量が多いため、チップ位置だけでなく、ウェーハ番号やその他の製造履歴情報もあわせて記録できるという利点がある。

【0018】

【発明の効果】以上説明したように本発明は、ウェーに形成される半導体装置そのものに、ウェーハ面内でチップ位置情報をドットマトリクスあるいは二次元バーコードで記録することにより、祝用の識別装置でウェーハ面内の位置が認識出来、半導体装置の組合せによる置の総合性能向上や、半導体装置そのものの性能向上有効な情報を得られる効果があり、さらには不良に対する的確な追跡と対策がとれるという効果を有する。

【図面の簡単な説明】

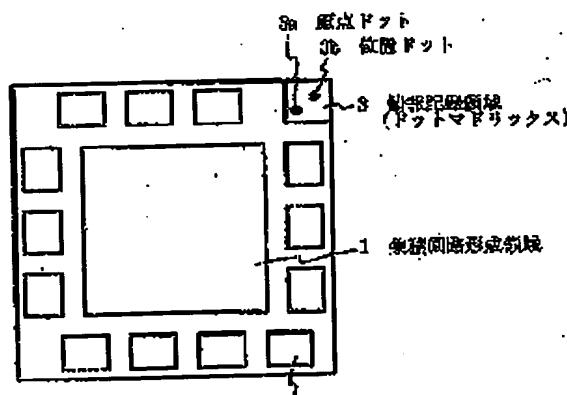
【図1】本発明の半導体装置一実施例を説明するためウェーハに形成される一チップを示す平面図である。

【図2】本発明の半導体装置の他の実施例を説明するためのウェーハに形成される一チップを示す平面図である。

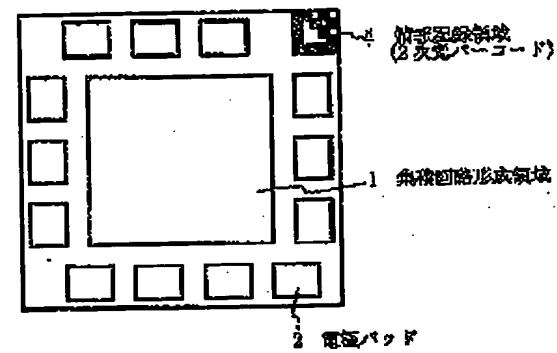
【符号の説明】

- 1 集積回路形成領域
- 2 売極パッド
- 3a 原点ドット
- 3b 位置ドット
- 3c 情報記録領域（ドットマトリクス）
- 3d 位置ドット
- 3e 情報記録領域

【図1】



【図2】



BEST AVAILABLE COPY

(4)

特開平5-315201

フロントページの続き

(51)Int.Cl.

H 01 L 21/66

識別記号

序内整理番号

A 7352-4M

F I

技術表示箇